

Лабораторная работа № 5
Построение комбинационных схем общего назначения
на логических элементах

Цель работы – изучение методики синтеза комбинационных схем общего назначения на логических элементах; приобретение практических навыков синтеза логических функций с помощью основных элементов серии К155.

5.1 Краткие теоретические сведения.

Логические элементы (ЛЭ) – электронные схемы, способные выполнять простейшие логические операции. Логическая операция состоит в преобразовании по определенным правилам входной цифровой информации в выходную.

Логические элементы широко применяются в автоматике, вычислительной технике и цифровых измерительных приборах. Их создают на базе электронных устройств, работающих в ключевом режиме, при котором уровни сигналов могут принимать только два значения. В *положительной* логике принято, что высокий уровень сигнала соответствует *логической единице* (лог. "1"), а низкий – *логическому нулю* (лог. "0").

Задача синтеза логического устройства состоит в построении реальной схемы на основе заданных законов её функционирования. При синтезе устройства чаще всего необходимо построить схему с использованием минимального числа логических элементов.

Все логические устройства можно разделить на две группы :

1) *комбинационные*, в которых выходные сигналы однозначно определяются комбинацией входных сигналов в данный момент времени вне зависимости от предыдущего состояния устройства;

2) *последовательностные*, в которых выходные сигналы зависят не только от комбинации входных сигналов в данный момент времени, но и от предыдущего состояния устройства.

Для описания комбинационных схем используется математический аппарат булевых функций – алгебра логики.

Логической функцией называется функция нескольких переменных A, B, \dots, N , т.е. $F = f(A, B, \dots, N)$, когда сама функция и *независимые* переменные могут принимать только два значения: "0" и "1". Связи между входными и выходными сигналами комбинационных схем аналитически описываются булевыми функциями.

Среди большого числа функций двух и более переменных особо выделяют следующие функции:

1. Логическое сложение (дизъюнкция) - операция "ИЛИ", обозначаемая " \vee " либо "+";
 $F = A \vee B = A + B$. Читается: F равно A или B .
2. Логическое умножение (конъюнкция) - операция "И", обозначаемая " \wedge " либо "·";
 $F = A \wedge B = A \cdot B$. Читается: F равно A и B .
3. Логическое отрицание (инверсия) - операция "НЕ", обозначаемая чертой над переменной: $F = \bar{A}$. Читается: F равно не A .

Элементы ИЛИ-НЕ и И-НЕ выполняют те же логические операции, что и элементы ИЛИ и И, но кроме того, еще выполняют операцию НЕ. Логические функции реализуемые этими элементами могут быть соответственно записаны в следующем виде:
 $F = \overline{A+B}$, $F = \overline{A \cdot B}$.

Число входов логических элементов соответствует числу аргументов воспроизводимой им булевой функции. На рис.5.1 показаны условные обозначения ЛЭ.

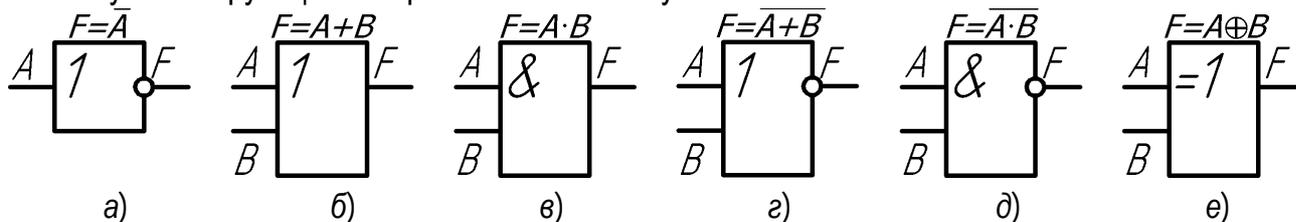


Рис.5.1 Условные обозначения логических элементов

а - НЕ(инвертор); б - ИЛИ; в - И; г - ИЛИ-НЕ; д - И-НЕ; е - исключающее ИЛИ.

Выполняемые логическими элементами соответствующие функции для двух переменных приведены в таблице истинности, которые сведены в табл. 5.1.

Логическую функцию "Исключающее ИЛИ" задают таблицей истинности (табл.5.1), из которой следует, что логический 0 на выходе получается не только при $A=B=0$, но и при $A=B=1$. Такие логические элементы используют в схемах цифрового сложения при обнаружении ошибок и поиске необходимого цифрового слова. Для обозначения функции "Исключающее ИЛИ" используют знак "+" обведенный кружком, т.е. $F = A \oplus B$.

Таблица 5.1

A	B	ИЛИ	И	ИЛИ-НЕ	И-НЕ	ИСКЛ. ИЛИ
0	0	0	0	1	1	0
0	1	1	0	0	1	1
1	0	1	0	0	1	1
1	1	1	1	0	0	0

Способы задания логических функций

1. Представление функции на словах

Например, функция трех аргументов принимает значение 1, если два любых аргумента или все три равны 1. Во всех других случаях функция равна "0".

2. Табличный способ

Таблица 5.2.

При этом способе функция представляется в виде *таблицы истинности*, в которой выписываются все возможные наборы аргументов в порядке возрастания их номеров и для каждого набора устанавливается значение функции "0" или "1". В таблице 5.2 истинности задана та же функция, что и в предыдущем примере, обозначенная F .

Номер набора	Аргументы			Функция F
	A	B	C	
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	1

Часто функцию алгебры логики F задают с помощью десятичного числа, преобразовав которое в двоичную систему, получим столбец F таблицы 5.2, например:

$$232_{10} = 11101000_2$$

3. Алгебраический способ

От таблицы истинности можно перейти к алгебраической форме функции. В такой форме удобно производить различные преобразования функций, например, с целью минимизации.

Существует две формы представления логических функций:

- совершенная дизъюнктивная нормальная форма (СДНФ);

- совершенная конъюнктивная нормальная форма (СКНФ).

При переходе от таблицы истинности к алгебраическому способу записи функций всегда получаются стандартные формы (СДНФ либо СКНФ).

Для записи функции в виде СДНФ необходимо для каждого набора, на котором функция равна "1", записать произведения всех аргументов, причем, если аргумент в этом наборе принимает значение "0", то записывается его отрицание. Затем производится логическое сложение этих элементарных произведений.

На примере таблицы 5.2 рассмотрим запись функции в СДНФ.

$$F(A, B, C) = \bar{A}BC + A\bar{B}C + AB\bar{C} + ABC \quad (5.1)$$

Для записи функции в виде СКНФ необходимо для каждого набора, на котором функция равна "0", составить алгебраическую сумму всех аргументов, причем, если аргумент в этом наборе принимает значение "1", то пишется его отрицание. Затем производится логическое умножение элементарных логических сумм.

На примере таблицы 5.2 рассмотрим запись функции в СКНФ.

$$F(A, B, C) = (A + B + C) \cdot (A + B + \bar{C}) \cdot (A + \bar{B} + C) \cdot (\bar{A} + B + C) \quad (5.2)$$

Для минимизации логических функций, заданных в СДНФ, пользуются различными методами, самым распространенным из которых является минимизация, основанная на использовании карт Карно (диаграмм Вейча).

Эвристический способ минимизации использует теоремы (законы) алгебры логики, при этом скорость решения зависит во многом от квалификации и опыта специалиста, проводящего минимизацию.

Основные соотношения алгебры логики

- | | | | |
|--------------------|-------------------------|------------------------------|--|
| 1. $A + 0 = A$ | 5. $A \cdot 1 = A$ | 9. $A \cdot \bar{A} = 0$ | 13. $A + B = \overline{\bar{A} \cdot \bar{B}}$ |
| 2. $A + 1 = 1$ | 6. $A \cdot A = A$ | 10. $\overline{\bar{A}} = A$ | 14. $A \cdot B = \overline{\bar{A} + \bar{B}}$ |
| 3. $A + A = A$ | 7. $AB + AC = A(B + C)$ | 11. $A + AB = A$ | |
| 4. $A \cdot 0 = 0$ | 8. $A + \bar{A} = 1$ | 12. $A + \bar{A}B = A + B$ | |

Соотношения 13 и 14 распространяются на любое число переменных и называются правилом де Моргана. Из приведенных выражений следует, что логический элемент ИЛИ-НЕ можно заменить элементом И с инвертированными входными величинами, а логический элемент И-НЕ можно заменить логическим элементом ИЛИ, на входе которого величины A и B заменены на \bar{A} и \bar{B} . Очевидно, возможна и обратная замена.

Как следует из вышеприведенных соотношений и Таблицы 5.2, все возможные логические функции n переменных можно образовать с помощью комбинации трех основных операций: И, ИЛИ, НЕ. Поэтому такой набор называют *логическим базисом* или *функционально полным*.

Из соотношений де Моргана вытекает, что все три логические функции И, ИЛИ, НЕ, можно выполнить, используя только элементы одного типа ИЛИ-НЕ либо И-НЕ. Элемент НЕ легко получается из упомянутых элементов параллельным соединением всех входов. Поэтому элементы только одного типа ИЛИ-НЕ либо И-НЕ также являются логическим базисом.

Схемы сложных устройств получаются более простыми, когда используются логические элементы разных типов.

Минимизация логических функций посредством карт Карно

Карты Карно представляют собой прямоугольные таблицы, разделенные горизонтальными и вертикальными линиями на клетки, общее число которых равно 2^n . В каждую клетку карты заносится значение одного минтерма.

Минтермом называют функцию, которая принимает единичное значение при одном из всех возможных наборов аргументов и нулевое при всех прочих наборах. Например, минтермы для двух аргументов A и B равны: $AB \bar{A}B \bar{A}\bar{B}$.

Карты Карно для двух и трех аргументов представлены соответственно рис.5.2а и рис.5.2б. На рис 5.2в представлен вариант в виде одной карты Карно

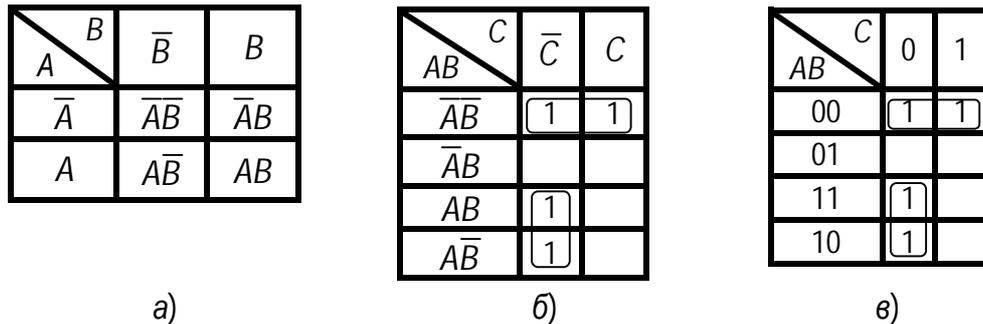


Рис.5.2. Упрощение логических выражений на основе карты Карно.

Для случая трех переменных имеется восемь возможных комбинаций переменных A , B и C , которые представлены восемью квадратами на карте. В соответствующие квадраты заносятся единицы, отображающие каждый из членов (минтермов) логического выражения, записанного в СДНФ; нулевые значения минтермов не обозначаются. Далее методом "склеивания" единиц на карте Карно производится минимизация логической функции.

Поясним технику "склеивания" единиц на примере.

Рассмотрим логическое выражение:

$$F = \bar{A}\bar{B}\bar{C} + \bar{A}\bar{B}C + A\bar{B}\bar{C} + ABC \quad (5.3)$$

Нанесем на карту в соответствующие квадраты четыре единицы, которые соответствуют членам в заданном выражении (5.3). Полученная карта Карно изображена на рис.(5.3)б. Каждая группа из двух соседних единиц обведена контуром. В контуре может быть 1, 2, 4, 8 и т.д. единиц. Форма контуров квадратная или прямоугольная. Для лучшего упрощения число контуров должно быть минимальным, а их размер – максимальным.

Нижний контур, объединяющий две единицы, содержит \bar{B} и B , поэтому \bar{B} и B можно опустить. Аналогично, верхний контур, объединяющий две единицы, содержит \bar{C} и C . Следовательно, \bar{C} и C можно опустить.

После соответствующих упрощений в нижнем контуре сохраняются лишь A и \bar{C} , которые дают член $A\bar{C}$; в верхнем контуре сохраняются \bar{A} и \bar{B} , которые дают член $\bar{A}\bar{B}$.

Упрощенное с помощью карты Карно логическое выражение (5.3) будет иметь вид

$$F = A\bar{C} + \bar{A}\bar{B} \quad (5.4)$$

Очевидно, что это упрощенное логическое выражение потребует для своей реализации значительно меньше логических элементов (схем), чем исходное выражение (5.3).

Таким образом, для минимизации логических функций посредством карт Карно можно

воспользоваться следующими рекомендациями:

1. Начните с логического выражения записанного в СДНФ.
2. Нанесите единицы на карту Карно.
3. Объедините соседние единицы контурами, охватывающими два или восемь квадратов.
4. Проведите упрощения, исключая члены дополняющие друг друга внутри контуров.
5. Объедините оставшиеся члены (по одному в каждом контуре) функцией ИЛИ.
6. Запишите полученное упрощенное логическое выражение в дизъюнктивной нормальной форме.

Переход к базису 2И-НЕ:

Для перехода к базису 2И-НЕ воспользуемся формулой деМоргана: $A + B = \overline{\overline{A} \cdot \overline{B}}$.

$$F = A\overline{C} + \overline{A}\overline{B} = \overline{\overline{A\overline{C}} \cdot \overline{\overline{A}\overline{B}}} \quad (5.5)$$

В результате получим следующую комбинационную схему (рис 5.3):

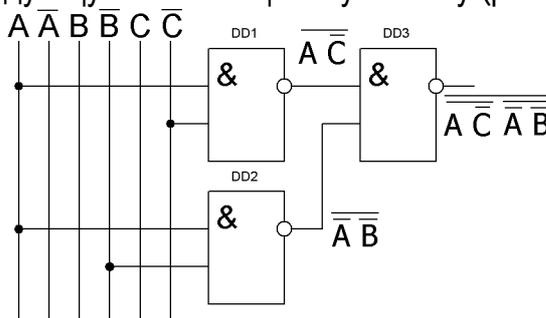


Рис. 5.3 Комбинационная схема в базисе 2И-НЕ

Переход к базису 2ИЛИ-НЕ:

Для перехода к базису 2ИЛИ-НЕ воспользуемся формулой деМоргана: $A \cdot B = \overline{\overline{A} + \overline{B}}$.

$$F = A\overline{C} + \overline{A}\overline{B} = \overline{\overline{A+C} + \overline{A+B}} = \overline{\overline{A+C} + \overline{A+B}} \quad (5.6)$$

В результате получим следующую комбинационную схему (рис.5.4):

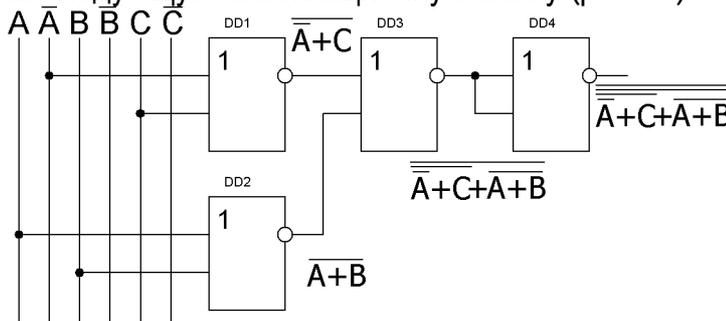


Рис. 5.43 Комбинационная схема в базисе 2ИЛИ-НЕ

Общие сведения об интегральных схемах.

Обычно логические элементы объединяют в интегральные схемы.

Интегральная схема (ИС) – электронная схема произвольной сложности, изготовленная на полупроводниковом кристалле (или плёнке) и помещенная в неразборный корпус.

В цифровых ИС входные и выходные сигналы могут иметь два значения: логический ноль или логическая единица, каждому из которых соответствует определенный диапазон напряжения.

Серия — это группа микросхем, имеющих единое конструктивно-технологическое ис-

полнение и предназначенных для совместного применения. Микросхемы одной серии, как правило, имеют одинаковые напряжения источников питания, согласованы по входным и выходным сопротивлениям, уровням сигналов.

В СССР были предложены следующие названия микросхем в зависимости от степени интеграции (в скобках количество элементов для цифровых схем):

МИС — малая интегральная схема (до 100 элементов в кристалле);

СИС — средняя интегральная схема (до 1 000);

БИС — большая интегральная схема (до 10 000);

СБИС — сверхбольшая интегральная схема (более 10 000);

Основой каждой серии цифровых микросхем является базовый логический элемент. Как правило, базовые логические элементы выполняют операции И-НЕ либо ИЛИ-НЕ и по принципу построения делятся на следующие основные типы: элементы резистивно-транзисторной логики (*РТЛ*) (в настоящее время практически не используются), диодно-транзисторной логики (*ДТЛ*), транзисторно-транзисторной логики (*ТТЛ*), эмиттерно-связанной транзисторной логики (*ЭСТЛ*), интегрально-инжекционной логики (*ИИЛ*, или *И²Л*), микросхемы на так называемых комплементарных МОП структурах (*КМОПТЛ*).

Наибольшим быстродействием обладают ЛЭ, выполненные по технологии ЭСЛ (эмиттерно-связанная логика) и ТТЛШ (транзисторно-транзисторная логика с транзисторами Шоттки). Меньше потребляет мощности КМДПТЛ (комплементарная МДП-транзисторная логика). Она же лучшая по помехоустойчивости и нагрузочной способности. ЭСЛ и И²Л (интегральная инжекционная логика) меньше других генерируют помехи.

Рассмотрим базовые элементы нескольких типов логик.

На (рис.5.5) показана схема базового логического элемента **И-НЕ ТТЛ**. На входе элемента включен многоэмиттерный транзистор VT1. Если на все его эмиттеры подать напряжения высокого уровня, то эмиттерный переход транзистора окажется закрытым. При этом ток, протекающий через резистор R1 и коллекторный переход транзистора VT1, откроет транзистор VT2. Падение напряжения на резисторе R3 будет достаточным для открывания транзистора VT5. Напряжение на коллекторе транзистора VT2 таково, что транзистор VT3 закрыт, соответственно закрыт и транзистор VT4. В результате на выходе элемента появится напряжение низкого уровня, соответствующее логическому 0. Если же хоть на один из входов элемента подать напряжение низкого уровня, то эмиттерный переход транзистора VT1 откроется, а транзисторы VT2 и VT5 будут закрыты. Транзистор VT3 откроется за счет тока, протекающего через резистор R2, войдет в режим насыщения. Соответственно откроется транзистор VT4, и на выходе элемента появится напряжение высокого уровня, соответствующее логической 1. Следовательно, рассмотренный элемент выполняет функцию И-НЕ.

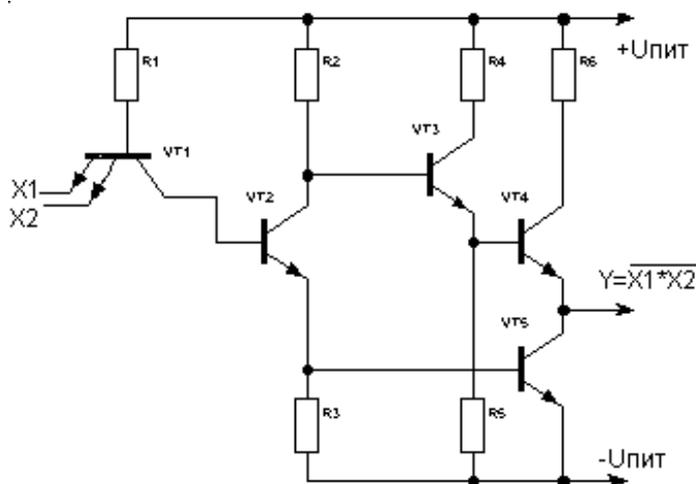


Рис. 5.5 Базовый логический элемент 2И-НЕ ТТЛ

Если же хоть на один из входов элемента подать напряжение низкого уровня, то эмиттерный переход транзистора VT1 откроется, а транзисторы VT2 и VT5 будут закрыты. Транзистор VT3 откроется за счет тока, протекающего через резистор R2, войдет в режим насыщения. Соответственно откроется транзистор VT4, и на выходе элемента появится напряжение высокого уровня, соответствующее логической 1. Следовательно, рассмотренный элемент выполняет функцию И-НЕ.

На рисунке 5.6 изображены схемы базовых элементов **И-НЕ** (а) и **ИЛИ-НЕ** (б) микросхем **КМОПТЛ**. Напряжение низкого уровня (логический 0) будет на выходе элемента И-НЕ только при одновременной подаче напряжений высокого уровня (логических 1) на все входы $X1-X3$. Если напряжение хотя бы на одном из входов (например, $X1$) будет низкого уровня то закроется n -канальный транзистор $VT4$, и откроется p -канальный транзистор $VT1$, через канал которого выход элемента подключается к источнику питания. Таким образом, на выходе будет напряжение высокого уровня, соответствующее логической 1. Для реализации базового логического элемента ИЛИ-НЕ на КМОП структурах участки схемы, содержащие последовательно и параллельно включенные транзисторы, следует поменять местами рисунок 5.6,б.

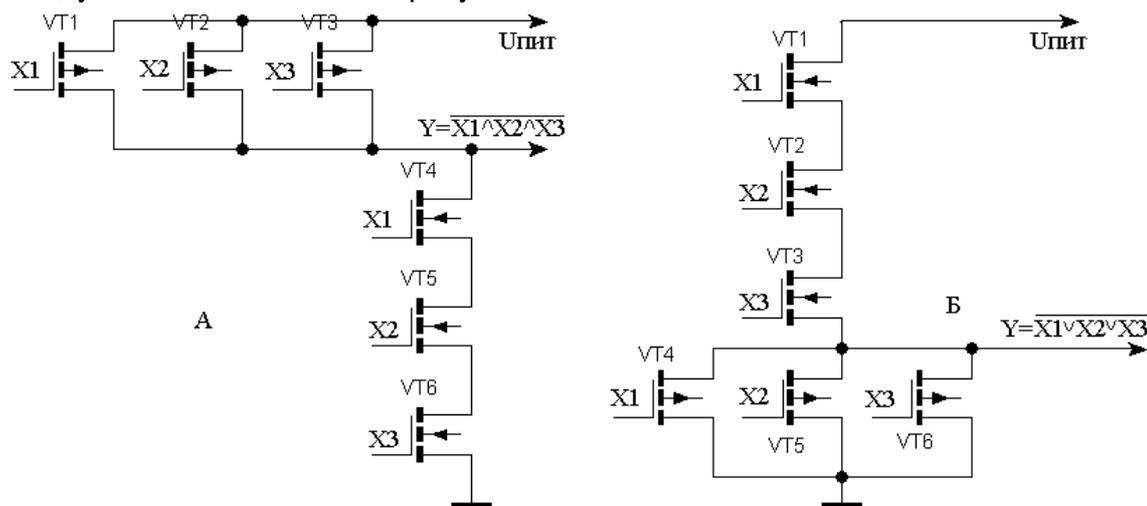


Рис. 5.6 Базовые логические элементы МОПТЛ: 3И-НЕ (а) и 3ИЛИ-НЕ (б)

Более подробно рассмотрим логические элементы серии **K155**.

Серия микросхем K155 относится к категории **МИС**.

Основные параметры микросхем серии K155:

- Напряжение питания $U_n = 5 \text{ В} \pm 10\%$.
- Выходное напряжение логического нуля $U_{\text{ВЫХ}}^0 \approx 0,4 \text{ В}$.
- Выходное напряжение логической единицы $U_{\text{ВЫХ}}^1 \approx 2,4 \text{ В}$.
- Время задержки распространения сигнала при включении/выключении 6-40 нс (зависит от функционального назначения микросхемы)

Таблица 5.3

	Функц. назначение	Подгруппа	Время задержки (нс), Типовое – максимальное	
			переход $L \rightarrow H$	переход $H \rightarrow L$
1.	2И-НЕ	ЛА3	11-22	7-15
2.	3И-НЕ	ЛА4	11-22	7-15
3.	НЕ	ЛН1	12-22	8-15
4.	2ИЛИ-НЕ	ЛЕ1	12-15	8-15

- Помехоустойчивость $U_{\text{ПОМ}} \approx 0,4 \text{ В}$.
- Частота переключения $f \approx 10 \text{ МГц}$.

Время задержки сигнала необходимо учитывать при определении максимальной ра-

бочей частоты комбинационного устройства: $F_{\max} = \frac{1}{t_{\text{зад max 1}} + t_{\text{зад max 2}} + \dots + t_{\text{зад max k}}}$, где

$t_{\text{зад max 1}} + t_{\text{зад max 2}} + \dots + t_{\text{зад max k}}$ – максимальное время задержки сигнала при прохождении его от входа к выходу. В случае, если комбинационное устройство имеет несколько входов, необходимо определить время задержки по каждому из них и выбрать наибольшее.

Технические данные стенда (рис 5.7)

Для выполнения необходимых соединений выводы микросхем D1-D12 подключены к гнездам, выходящим на лицевую панель с графическим изображением микросхем.

Гнезда образуют наборное поле, которое служит для коммутации логических элементов при помощи соединительных проводников в соответствии с синтезированной принципиальной схемой.

В левой части стенда расположены переключатели, задающие логические уровни сигналов, а также генератор импульсов (ГИ) и генератор одиночных импульсов (ГОИ), необходимые для тактирования цепей, содержащих триггеры.

Для контроля функционирования схемы в соответствии с заданной таблицей истинности целесообразно использовать полупроводниковые световые индикаторы, расположенные в правой части стенда, которые подключают к выходу любого логического элемента с помощью коммутационных проводников. Индикаторы светятся от логического сигнала "1".

Для всех логических элементов наборного поля уровень логической "1" соответствует потенциалу от 2,4 до 4,5 В; уровень логического "0" - от 0 до 0,4 В.

Коммутация схем должна выполняться при отключенном электропитании стенда.

Неиспользуемые входы логических элементов И, И-НЕ соединяют с "1" либо объединяют с используемым входом данного элемента. Исключающее ИЛИ соединяют с "0" либо объединяют с используемым входом данного элемента.

Запрещается соединять между собой выходы нескольких логических элементов, или подсоединять их к гнездам "1" или "0".

5.2 Порядок выполнения работы

Задание 1: Изучение методики синтеза цифровых комбинационных схем

- а) в соответствии с заданием составить таблицу истинности и записать логическое выражение заданной функции в виде СДНФ;
- б) минимизировать полученное выражение;
- в) составить принципиальную схему реализации заданной функции на структурных логических элементах И-НЕ либо ИЛИ-НЕ (по согласованию с преподавателем).

Задание 2: Экспериментальное исследование цифровых схем

- а) проверить работоспособность схем, реализующих функции И, ИЛИ, НЕ на логических элементах И-НЕ, ИЛИ-НЕ. Результаты свести в таблицы истинности;
- б) собрать схему, синтезированную в **Задании 1**, и проверить соответствие её работы заданной таблице истинности. Работоспособность схемы продемонстрировать преподавателю.

Примечание: Если синтезированная схема не выполняет заданной функции, студент должен **самостоятельно** определить ошибку в синтезе или коммутации схемы, исправить ее и выполнить лабораторную работу в полном объеме.

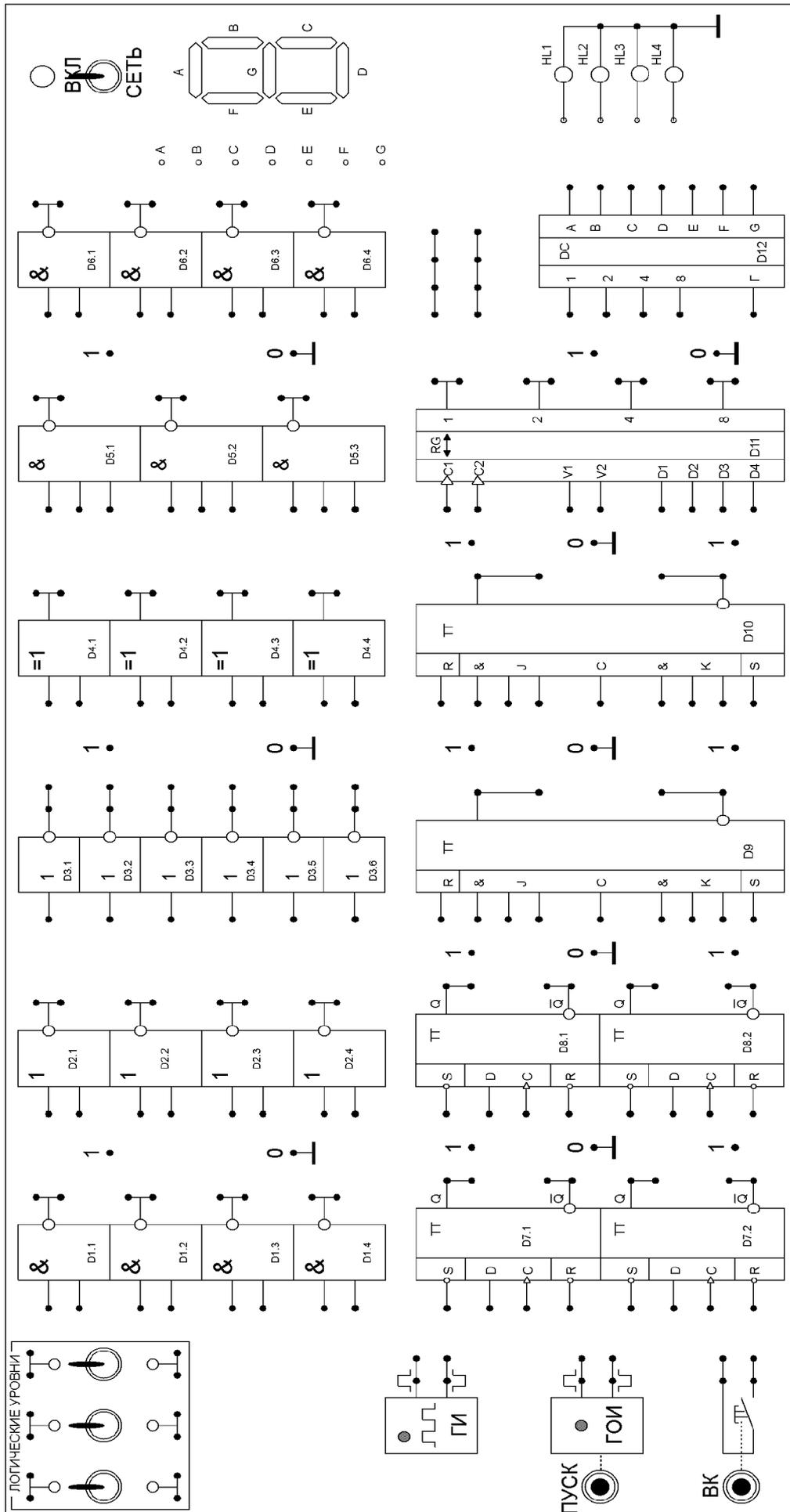


Рис 5.7 Лабораторный стенд

Содержание отчета

1. Название и цель работы.
2. Таблица истинности и СДНФ заданной логической функции.
3. Материалы по минимизации заданной логической функции.
4. Принципиальная схема, реализующая заданную логическую функцию и таблицы истинности на выходах каждого элемента схемы.
5. Сводная таблица реализации логических функций И, ИЛИ, НЕ на структурных логических элементах И-НЕ, ИЛИ-НЕ с таблицами состояний.
6. Оценить максимальную частоту, на которой возможна работа синтезированной схемы. Для этого необходимо воспользоваться данными из таблицы 5.3.

5.3 Контрольные вопросы

1. Что называют цифровыми логическими элементами?
2. Какие логические устройства называют комбинационными, последовательными?
3. Способы задания логических функций.
4. Получение СДНФ либо СКНФ по таблицам истинности.
5. Способы минимизации логических функций.
6. Какой набор логических элементов называют функционально полным (базовым)?
7. Что представляет собой серия цифровых (логических) ИС?
8. Как классифицируются базовые логические элементы по принципу построения?
9. Пояснить работу базового логического элемента ТТЛ.
10. Пояснить работу базового логического элемента МОПТЛ.
11. Какие параметры базовых ЛЭ относят к основным?